

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局(43) 国際公開日  
2003年4月24日 (24.04.2003)

PCT

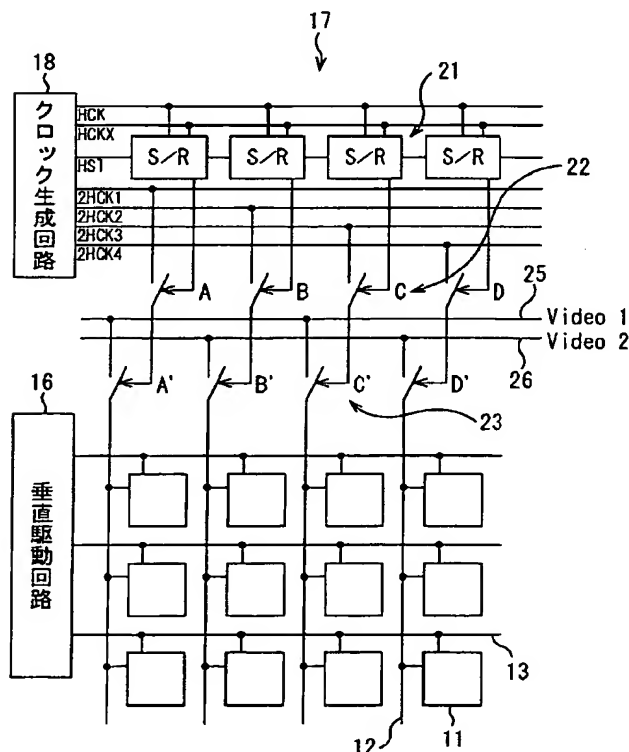
(10) 国際公開番号  
WO 03/034393 A1

- (51) 国際特許分類<sup>7</sup>: G09G 3/36, 3/20, G02F 1/133 (71) 出願人 (米国を除く全ての指定国について): ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 Tokyo (JP).
- (21) 国際出願番号: PCT/JP02/10554 (72) 発明者; および (75) 発明者/出願人 (米国についてのみ): 山下 淳一 (YAMASHITA, Junichi) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 ソニー株式会社内 Tokyo (JP). 内野 勝秀 (UCHINO, Katsuhide) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 ソニー株式会社内 Tokyo (JP).
- (22) 国際出願日: 2002年10月10日 (10.10.2002)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願2001-319262  
2001年10月17日 (17.10.2001) JP (74) 代理人: 中村 友之 (NAKAMURA, Tomoyuki); 〒105-0001 東京都港区虎ノ門1丁目2番3号 虎ノ門第一ビル9階 三好内外国特許事務所内 Tokyo (JP).

[続葉有]

(54) Title: DISPLAY APPARATUS

(54) 発明の名称: 表示装置

18...CLOCK GENERATION CIRCUIT  
16...VERTICAL DRIVE CIRCUIT

(57) Abstract: In an active matrix type display apparatus of the division sample hold method, it is possible to suppress image defects such as longitudinal stripes and ghost. A horizontal drive circuit (17) successively generates a sampling pulse without overlapping sampling switches (23) connected to the same video line (25) while overlapping adjacent sampling switches (23), thereby driving the switches and successively writing a video signal into a pixel (11). A clock generation circuit (18) generates a clock signal HCK serving as an operation reference of a horizontal drive circuit (17) and a clock signal 2CHK having twice as large as the cycle and twice as large as the pulse width of the HCK. The horizontal drive circuit (17) has a shift register (21) for performing shifting in synchronization with the HCK and successively outputting a shift pulse and an extraction switch group (22) for extracting the 2HCK in response to the shift pulse and successively generating a sampling pulse.

[続葉有]



(81) 指定国 (国内): CN, KR, US.

添付公開書類:  
— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

---

(57) 要約:

本発明は、分割サンプルホールド方式のアクティブマトリクス型表示装置において、縦筋やゴーストなどの画像不良を抑制することを目的とする。

水平駆動回路（17）は、同一の映像ライン（25）に接続されたサンプリングスイッチ（23）に対してはオーバーラップさせず、隣接するサンプリングスイッチ（23）に対してはオーバーラップさせたサンプリングパルスを順次発生して各スイッチを駆動し、画素（11）に順次映像信号を書き込む。クロック生成回路（18）は、水平駆動回路（17）の動作基準となるクロック信号HCKと、これに対して周期が二倍でパルス幅が二倍のクロック信号2HCKとを生成する。水平駆動回路（17）は、HCKに同期してシフト動作を行いシフトパルスを順次出力するシフトレジスタ（21）と、シフトパルスに応答して2HCKを抜き取ってサンプリングパルスを順次生成する抜取スイッチ群（22）とを有する。

## 明細書

## 表示装置

## 5 技術分野

本発明は表示装置に関し、特に分割サンプルホールド方式の水平駆動回路にクロックドライブ方式を適用した点順次駆動型のアクティブマトリクス表示装置に関する。

## 10 背景技術

アクティブマトリクス方式の表示装置は、行状のゲートライン、列状の信号ライン及び両ラインが交差する部分にマトリクス状に配された画素を有するパネルで構成されている。各画素にはアクティブ素子として例えば薄膜トランジスタ（TFT）が形成されている。更に垂直駆動回路と水平駆動回路を備えている。垂直駆動回路は、各ゲートラインに接続し順次画素の行を選択する。水平駆動回路は、各信号ラインに接続し、選択された行の画素に映像信号を書き込む。その際、点順次駆動方式では、選択された行の画素に点順次で映像信号を書き込んでいく。

アクティブマトリクス型の表示装置では、TFTのソース／ドレイン電極と信号ラインの各々との間に寄生容量が存在している。この寄生容量により、ある信号ラインを通した映像信号の書き込み時の電位変化が隣の信号ラインに飛び込むことによって縦筋などの画像不良が発生する場合がある。この縦筋不良は、特にライン反転駆動方式で市松パターンを表示した時に顕著となる。あるいは、ドットライン反転駆動方式で、太さが1ドット（1画素）分の横線を表示した時縦筋が発生し易い。

この信号ライン間における映像信号の飛び込みを防止する為に、いわゆる分割サンプルホールド駆動が提案されており、例えば特開 2 0 0 0 - 2 6 7 6 1 6 号公報に開示されている。分割サンプルホールド方式は、入力映像信号を 2 系統に分離し、点順次方式で映像信号を書き込む際、隣接する画素同士で 2 系統の映像信号をオーバーラップさせながら書き込む方式である。

第 7 図は、上述した分割サンプルホールド駆動を採用した表示装置の一例を示す模式図である。図示する様に、表示装置は行状のゲートライン 1 1 3、列状の信号ライン 1 1 2、両ラインが交差する部分に行列状に配された画素 1 1 1 及び所定の位相関係で 2 系統に分けた映像信号 Video 1, Video 2 を供給する 2 本の映像ライン 1 2 5, 1 2 6 を有するパネルで構成されている。又、サンプリングスイッチ群 1 2 3 が各信号ライン 1 1 2 に対応して配されており、2 本の信号ラインを単位として 2 本の映像ラインの各々との間に接続されている。具体的には、一番目の信号ラインがサンプリングスイッチを介して一方の映像ライン 1 2 5 に接続し、二番目の信号ラインが同じくサンプリングスイッチを介して他方の映像ライン 1 2 6 に接続している。以下、3 番目以降の信号ラインについても交互にサンプリングスイッチを介して 2 本の映像ライン 1 2 5, 1 2 6 に接続している。パネルには更に垂直駆動回路 1 1 6 及び水平駆動回路 1 1 7 も形成されている。垂直駆動回路 1 1 6 は各ゲートライン 1 1 3 に接続し、順次画素 1 1 1 の行を選択する。換言すると、マトリクス状に配された画素 1 1 1 は行単位で順次選択されていく。水平駆動回路 1 1 7 は所定の周期のクロック信号に基づいて動作し、サンプリングスイッチ群 1 2 3 の各スイッチのうち、同一の映像ラインに接続されたスイッチに対してはオーバーラップさせず、隣接するスイッチに対してはオーバーラップさせたサンプリングパルス A, B, C,

D・・・を順次発生して各スイッチを順に開閉駆動し、もって選択された行の画素111に点順次で映像信号を書き込む。表示装置は更にクロック生成回路189を備えており、水平駆動回路117の動作基準となるクロック信号HCKの他、スタートパルスHSTを供給している。水平駆動回路117はシフトレジスタ(S/R)121の多段接続からなり、HCKに応じてHSTを順次転送することで、前述したサンプリングパルスA, B, C, D・・・を順次発生している。

第8図の波形図を参照して、第7図に示した従来の表示装置の動作を簡潔に説明する。前述した様に、水平駆動回路はクロック信号HCKに応じて動作し、スタートパルスHSTを順次転送することで、サンプリングパルスA, B, C, D・・・を生成している。図から明らかな様に、隣接する信号ライン間では、サンプリングパルスが互いにオーバーラップしている。即ち、第1の信号ラインに対応したサンプリングパルスAは、第2の信号ラインに対応したサンプリングパルスBとオーバーラップしている。同様に、第2の信号ラインに対応したサンプリングパルスBと第3の信号ラインに対応したサンプリングパルスCもオーバーラップしている。互いに隣接する信号ラインに対しては別々の映像ラインから映像信号が供給される為、オーバーラップさせても差し支えない。隣接する信号ラインのサンプリングスイッチに対して、オーバーラップさせる様にサンプリングパルスを生成することで、従来から問題となっていた縦筋不良を防ぐことができる。即ち、各画素トランジスタのソース／ドレイン電極と信号ラインの各々との間に寄生容量が存在し、この寄生容量を介してある信号ラインの電位変化が隣の信号ラインに飛び込んだとしても、その信号ラインがオーバーラップサンプリングによりローインピーダンスである為、映像信号の飛び込みの影響を受けることはない。

図示の例では、サンプリングパルスAに応答して、対応する第1の信号ラインに信号電位S i g 1がサンプルホールドされる。続いてサンプリングパルスBに応答し、第2の信号ラインに信号電位S i g 2がサンプルホールドされる。この時、第2の信号ラインで電位変化が生じる。

- 5 この電位変化は、寄生容量によって第1の信号ラインにも飛び込むが、この時第1の信号ラインはまだ対応するサンプリングスイッチが開いている為、ローインピーダンスとなっており信号の飛び込みの影響を受けることがない。

- 第9図は、各信号ラインに対する映像信号のサンプリングタイミングと、各映像ラインの電位変化を模式的に表わしている。基本的には、同一の映像ラインに接続されたサンプリングスイッチに対しては、オーバーラップさせない様にサンプリングパルスを生成している。例えば、1番目の信号ラインと3番目の信号ラインは同一の映像ラインに接続している。従って、サンプリングパルスAとサンプリングパルスCは原理的には重ならない様に回路設計されている。しかし、現実にはパルスの伝送過程において配線抵抗や寄生容量などに起因して遅延が生じ、波形に鈍りが現われる。この結果、サンプリングパルスAとサンプリングパルスCでは部分的なオーバーラップが生じている。この様な状態で、サンプリングパルスCが立ち上がると対応するサンプリングスイッチが開き、
- 10 信号ラインに対する充放電が生ずる為、実線矢印で示す様に映像ライン上の映像信号V i d e o 1に電位揺れが生じる。この時、先発のサンプリングパルスAは未だ立ち下がり切っていないので、点線矢印で示す様に映像ラインの電位揺れ（充放電ノイズ）を拾ってしまう。この結果信号ラインにサンプリングされた電位のばらつきが生じ、画面上では縦筋
- 15 20 25 となって画品位を損なうことになる。又、同一の映像ラインに接続され

た信号ライン間におけるこの様な映像信号の干渉によって、画面上にはゴーストなどが引き起こされる場合がある。

#### 発明の開示

- 5 上述した従来の技術の課題に鑑み、本発明はいわゆる分割サンプルホールド方式を採用したアクティブマトリクス型の表示装置において、同一の映像ラインに接続した信号ライン間で生じる映像信号の干渉を抑制し、もって縦筋やゴーストなどの画像不良を抑制することを目的とする。
- 10 係る目的を達成するために以下の手段を講じた。すなわち、本発明に係る表示装置は、行状のゲートライン、列状の信号ライン、両ラインが交差する部分に行列状に配された画素及び所定の位相関係で $n$ 系統（ $n$ は2以上の整数）に分けた映像信号を供給する $n$ 本の映像ラインを有するパネルと、各ゲートラインに接続し順次画素の行を選択する垂直駆動回路と、各信号ラインに対応して配されており、 $n$ 本の信号ラインを単位
- 15 として該 $n$ 本の映像ラインの各々との間に接続されたサンプリングスイッチ群と、所定の周期のクロック信号に基づいて動作し、前記サンプリングスイッチ群の各スイッチのうち、同一の映像ラインに接続されたスイッチに対してはオーバーラップさせず、隣接するスイッチに対してはオーバーラップさせたサンプリングパルスを順次発生して各スイッチを
- 20 順に駆動し、もって選択された行の画素に順次映像信号を書き込む水平駆動回路と、該水平駆動回路の動作基準となる第1のクロック信号を生成するとともに、この第1のクロック信号に対して周期が二倍でかつパルス幅が二倍の第2のクロック信号を生成するクロック生成回路とからなり、
- 25 前記水平駆動回路は、前記第1のクロック信号に同期してシフト動作を行い各シフト段からシフトパルスを順次出力するシフトレジスタと、前

記シフトレジスタから順次出力される前記シフトパルスに応答して前記第2のクロック信号を抜き取って該サンプリングパルスを順次生成する抜取スイッチ群とを有することを特徴とする。好ましくは、前記クロック生成回路は、該第1のクロック信号に対して該第2のクロック信号の位相を可変調整できる。より具体的には、前記クロック生成回路は、該第1のクロック信号に対して該第2のクロック信号の位相を可変調整し、もって該サンプリングパルスの幅を最適化する。

本発明によれば、分割サンプルホールド駆動を採用した表示装置において、水平駆動回路から出力されたシフトパルスを用いたクロック信号で抜き取り、サンプリングパルスを生じさせている。この様なクロックドライプ方式を導入することで、隣り合う信号ライン間のサンプリングパルスではオーバーラップを保持しつつ、1本おきに同一の映像ラインに接続した信号ライン間ではサンプリングパルス同士の完全ノンオーバーラップを実現している。特に本発明では、第1のクロック信号に対して第2のクロック信号の位相を可変調整可能としている。これにより、縦筋やゴーストなどの表示不良に対してサンプリングパルスの幅を最適化できる。

### 図面の簡単な説明

20 第1図は、本発明に係る表示装置の基本的な構成を示すブロック図である。

第2図は、第1図に示した表示装置の動作説明に供する波形図である。

第3図は、同じく、第1図に示した表示装置の動作説明に供する波形図である。

25 第4図は、参考とする表示装置の動作説明に供する波形図である。



第5図は、第1図に示した表示装置の全体的な構成例を示すブロック図である。

第6図は、本発明の一実施形態に係る点順次駆動方式のアクティブマトリクス型液晶表示装置の構成例を示す回路図である。

5 第7図は、従来の表示装置の一例を示すブロック図である。

第8図は、第7図に示した従来の表示装置の動作説明に供する波形図である。

第9図は、第7図に示した従来の表示装置の動作説明に供する波形図である。

10

発明を実施するための最良の形態

以下図面を参照して本発明の実施の形態を詳細に説明する。第1図は本発明に係る表示装置の基本的な構成を示す模式的なブロック図である。本表示装置は、行状のゲートライン13、列状の信号ライン12、両ラインが交差する部分に行列状に配された画素11及び所定の位相関係で2系統に分けた映像信号Video1, Video2を供給する2本の映像ライン25, 26を有するパネルで構成されている。尚、本例では映像信号を2系統に分けているが、これに限られるものではなく一般にn系統に分けることができる。但し、nは2以上の整数である。この場合、n系統に分けた映像信号はn本の映像ラインによって別々に供給される。

15

20

パネルには、垂直駆動回路16、水平駆動回路17、サンプリングスイッチ群23なども形成されている。垂直駆動回路16は、各ゲートライン13に接続し画素11を順次行単位で選択する。サンプリングスイッチ群23は各信号ライン12に対応して配されており、2本の信号ラインを単位として2本の映像ライン25, 26の各々との間に接続され

25

た個々のスイッチで構成されている。例えば、一番目の信号ラインに設けたスイッチは一方の映像ライン 25 に接続し、二番目の信号ラインに設けたスイッチは他方の映像ライン 26 に接続している。この様に、サンプリングスイッチ群 23 の各スイッチは各信号ライン 12 を互い違いに 2 本の映像ライン 25, 26 に接続している。但し本発明はこれに限られるものではなく、一般にサンプリングスイッチ群 23 は、n 本の信号ラインを単位として n 本の映像ラインの各々との間に接続されている。水平駆動回路 17 は所定の周期のクロック信号に基づいて動作し、サンプリングスイッチ群 23 の各スイッチのうち、同一の映像ラインに接続されたスイッチに対してはオーバーラップさせず、隣接するスイッチに対してはオーバーラップさせたサンプリングパルス A', B', C', D' ... を順次発生して各スイッチを順に開閉駆動し、もって選択された行の画素に順次映像信号を書き込む。例えば、同一の映像ライン 25 に接続された一番目及び三番目のスイッチに対しては、互いにオーバーラップしないサンプリングパルス A' 及び C' を供給する。一方、隣接する一番目及び二番目のスイッチに対してはオーバーラップさせたサンプリングパルス A' 及び B' を順次発生する。尚、互いに隣り合うスイッチは別々の映像ライン 25, 26 に接続されている。

本発明の特徴事項としてクロック生成回路 18 を備えており、水平駆動回路 17 の動作基準となる第 1 のクロック信号 HCK, HCKX を生成するとともに、この第 1 のクロック信号に対して周期が二倍で且つパルス幅が二倍の第 2 のクロック信号 2HCK1, 2HCK2, 2HCK3, 2HCK4 を生成する。第 1 のクロック信号 HCK, HCKX は互いに反対極性となっている。尚、本明細書では第 1 のクロック信号 HCK, HCKX をまとめて HCK パルスと呼ぶ場合がある。これに対し、第 2 のクロック信号 2HCK1, 2HCK2, 2HCK3, 2HCK4

- は互いに位相が90度ずつシフトしている。本明細書では、これらの第2のクロック信号をまとめて2HCKパルスと呼ぶ場合がある。一方、水平駆動回路17はシフトレジスタ21と抜取スイッチ群22とで構成されている。シフトレジスタ21は第1のクロック信号HCK, HCKXに同期してシフト動作を行ない各シフト段S/RからシフトパルスA, B, C, D...を順次出力する。抜取スイッチ群22は、シフトレジスタ21から順次出力されるシフトパルスA, B, C, D...にตอบสนองして第2のクロック信号2HCK1, 2HCK2, 2HCK3, 2HCK4を抜き取って、前述したサンプリングパルスA', B', C', D'...を順次生成する。具体的には、シフトレジスタ21の第1段に対応した抜取スイッチは、シフトパルスAにตอบสนองして第2のクロック信号2HCK1を抜き取り、サンプリングパルスA'を生成する。同様に、シフトレジスタ21の第2段に対応した抜取スイッチは、シフトパルスBに応じて第2のクロック信号2HCK2を抜き取り、サンプリングパルスB'を生成する。尚、クロック生成回路18は第1のクロック信号HCK, HCKXに対して第2のクロック信号2HCK1, 2HCK2, 2HCK3, 2HCK4の位相を可変調整できる。これにより、サンプリングパルスA', B', C', D'...のパルス幅を最適化し、もって縦筋やゴーストなどの表示不良に対処することができる。
- 第2図は、第1図に示した表示装置の動作説明に供する波形図である。図中、HSTは水平駆動回路17のシフトレジスタ21の先頭段に入力されるスタートパルスである。このスタートパルスHSTはHCKパルスや2HCKパルスと同様にクロック生成回路18から供給される。シフトレジスタ21はHCK, HCKXに応じて動作し、HSTを順次転送することで、シフトパルスA, B, C, Dを生成する。図示する様に、各シフトパルスA~DはHCKパルスの周期と等しいパルス幅を有し、

且つHCKパルスの立ち上がり及び立ち下がりと同期して順次出力される。一方、第2のクロック信号2HCK1, 2HCK2, 2HCK3, 2HCK4は第1のクロック信号HCK, HCKXの二倍に相当する周期を有し、且つパルス幅はHCKパルスの一周期と等しくなっている。

- 5 2HCK1, 2HCK2, 2HCK3, 2HCK4は位相が順次90度シフトしている。一番目の抜取スイッチはシフトパルスAに応じて2HCK1を抜き取り、対応するサンプリングパルスA'を形成している。換言すると、サンプリングパルスA'の立ち上がりはシフトパルスAの立ち上がりで決められ、同じくサンプリングパルスA'の立ち下がり  
10 2HCK1の立ち下がりによって規定される。従って、サンプリングパルスA'のパルス幅Wは2HCK1とシフトパルスAとの位相関係によって調整可能である。前述した様に、シフトパルスAはHCK, HCKXに同期している。従って、HCKパルスに対して2HCKパルスの位相を調整することで、サンプリングパルスの幅Wを最適に設定可能である。  
15 以下同様に、サンプリングパルスB'の立ち上がりはシフトパルスBの立ち上がりによって決定され、サンプリングパルスB'の立ち下がり  
2HCK2の立ち下がりによって決定される。以下、サンプリングパルスC', D'についても同様である。

- 図示する様に、互いに隣り合うサンプリングスイッチに供給されるサン  
20 プリングパルスA', B'はオーバーラップしている。同様に、B'とC'もオーバーラップしており、C'とD'もオーバーラップしている。この様に、隣り合うサンプリングスイッチに対して互いにオーバーラップさせた状態でサンプリングパルスを供給し、別々の映像ラインからそれぞれ映像信号をサンプリングすることで、いわゆる分割サンプル  
25 ホールドを行なっている。この分割サンプルホールド駆動により、特定パターンを表示した時に現われる縦筋欠陥を防止することが可能である。

例えば、ライン反転駆動時に市松パターンを表示する場合や、ドットライン反転駆動時にワンドット横線のパターンを表示する場合である。

同一の映像ラインに接続されたサンプリングスイッチに対しては、順次完全ノンオーバーラップの状態でサンプリングパルスを供給している。

- 5 例えばサンプリングパルスA'とC'は互いに完全ノンオーバーラップ  
であり、B'とD'も同様に完全ノンオーバーラップである。この様に、  
同一の映像ラインに接続されたサンプリングスイッチに対して完全ノン  
オーバーラップのサンプリングパルスを供給することで、点順次駆動方  
10 式のアクティブマトリクス表示装置に特有な縦筋やゴーストなどの表示  
不良を防ぐことができる。例えば、点線矢印で示す様に、サンプリング  
パルスA'の立ち下がりで、映像信号V i d e o 1のサンプリングが完了し、  
対応する信号ラインの電位がホールドされる。その後実線矢印で  
示す様にサンプリングパルスC'が立ち上がり、同一の映像ラインから  
ビデオ信号V i d e o 1のサンプリングを開始する。この時、信号の充  
15 放電により、映像ライン上の映像信号V i d e o 1の電位が急激に低下  
し、いわゆる充放電ノイズが発生する。この時、前のサンプリングパ  
ルスA'は既に立ち下がっており、充放電ノイズがサンプリングされる恐  
れはない。これにより、縦筋の発生を抑え、ゴーストに対するマージ  
ンを上げることができる。
- 20 第3図は、第2図に示したタイミングチャートから、HCKパルスに  
対する2HCKパルスの位相をずらした状態を表わしている。第3図の  
例は、第2図の例よりも2HCKパルスを遅延させている。前述した様  
に、サンプリングパルスの幅Wは、シフトパルスの立ち上がりと2HCK  
パルスの立ち下がりで決定される。例えばサンプリングパルスA'の  
25 幅Wは、シフトパルスAの立ち上がりと2HCK1パルスの立ち下がり  
とによって決定される。第2図の例に対し第3図の例では2HCKパル

スを遅延させている為、サンプリングパルスの幅はより広くなっている。この様に、 $2HCK$ の位相を $HCK$ に対して可変させることで、抜き取った後のサンプリングパルス幅 $W$ を可変させることができる。特に第3図の例では、 $HCK$ パルスの周期と同程度のパルス幅 $W$ を持つサンプリングパルス $A'$ ,  $B'$ ,  $C'$ ,  $D'$ ・・・を得ることも可能である。これにより、縦筋レベルやゴーストマージンに対してベストなサンプリングパルス幅を選択することが可能である。

第4図は、分割サンプルホールド駆動において、同一映像ラインに接続した信号ラインに対して順次完全ノンオーバーラップサンプリングを実現する為の別法を示すタイミングチャートである。この別法では外部のクロック生成回路から、水平駆動回路の動作基準となる $HCK$ パルスに加え、抜き取り用の $DCCK$ パルスを供給している。本発明で用いる $2HCK$ パルスと異なり、別法で用いる $DCCK$ パルスは $HCK$ パルスと周期が同じで、パルス幅が大きくなっている。クロック生成回路は $DCCK$ パルスの幅を可変調整可能であり、図示の例では $DCCKA$ よりも $DCCKB$ が長くなっている。この別法では、 $HCK$ パルスに基づいて動作する水平駆動回路から出力されるシフトパルスに応じ、 $DCCK$ パルスを抜き取って所望のサンプリングパルスを生成している。 $DCCK$ パルスの幅を調整することでサンプリングパルスの幅を最適化する方式である。この別法では、周期を同一にする一方 $DCCK$ パルス幅が $HCK$ パルス幅に対して長いことを特徴としている。しかし、一般的にパルスの伝送経路は抵抗と寄生容量を持つ為、図示の様にパネル内部では $HCK$ パルスや $DCCK$ パルスの立ち下がり、立ち上がりが鈍る。 $DCCKB$ の様にパルス幅が長くなると、パネル内部では $DCCKB'$ で表わす様にパルスが立ち下がりが切らなくなり、クロックドライブが正常に動作しなくなる。その為、 $DCCK$ パルス幅は最低でも、 $HCK$ の周期に対してパルスの立ち下がり

より短くなくてはならない。結果として、生成されるサンプリングパルス幅の可変範囲が狭められてしまう。前述した特定パターンに対する縦筋や、点順次駆動特有の縦筋、あるいはゴーストに対する最適なサンプリングパルス幅を得る為には、本発明の様にHCKパルスと2HCKパルスの位相を調整することで、特に制限なく可変設定できることが望ましい。

第5図は、本発明に係る表示装置の全体構成を示す模式的なブロック図である。図示する様に、本表示装置は画素アレイ部15、垂直駆動回路16及び水平駆動回路17などを集積的に形成したパネル33で構成されている。画素アレイ部15は、行状のゲートライン13、列状の信号ライン12及び両者が交差する部分に行列状に配された画素11とで構成されている。垂直駆動回路16は左右に分かれて配されており、ゲートライン13の両端に接続して、順次画素11の行を選択する。水平駆動回路17は信号ライン12に接続するとともに所定の周期のクロック信号に基づいて動作し、選択された行の画素11に順次映像信号を書き込む。尚、各信号ライン12にはプリチャージ回路20も接続されており、映像信号を書き込む前に各信号ラインをプリチャージして、画像品位を改善している。本表示装置は更にクロック生成回路18を備えており、水平駆動回路17の動作基準となる第1のクロック信号HCK、HCKXを生成するとともに、この第1のクロック信号HCK、HCKXに対して周期が二倍で且つパルス幅が二倍の第2のクロック信号2HCK1、2HCK2、2HCK3、2HCK4を生成する。尚、HCKXはHCKの反転信号である。又、2HCK1、2HCK2、2HCK3、2HCK4は互いに位相が90度ずつシフトしている。

水平駆動回路17はHCKパルスに基づいてシフトパルスを順次出力する。更に水平駆動回路17はシフトパルスに応じて2HCKパルスを

抜き取ることで、サンプリングパルスを生成している。この結果、隣り合う信号ラインに割り当てられるサンプリングパルス同士はオーバーラップを保ちつつ、同じ映像ラインに接続する信号ラインに割り当てられるサンプリングパルス同士は、完全ノンオーバーラップとなる様にしている。

第6図は、第5図に示した表示装置の具体的な構成例を表わしており、液晶セルを画素の表示エレメント（電気光学素子）として用いた点順次駆動方式のアクティブマトリクス型液晶表示装置の構成を示す回路図である。ここでは、図面の簡略化のために、4行4列の画素配列の場合を例に採って示している。なお、アクティブマトリクス型液晶表示装置では、通常、各画素のスイッチング素子として薄膜トランジスタ（TFT; thin film transistor）が用いられている。

第6図において、行列状に配置された4行4列分の画素11の各々は、画素トランジスタである薄膜トランジスタTFTと、この薄膜トランジスタTFTのドレイン電極に画素電極が接続された液晶セルLCと、薄膜トランジスタTFTのドレイン電極に一方の電極が接続された保持容量Csとから構成されている。これら画素11の各々に対して、信号ライン12-1～12-4が各列ごとにその画素配列方向に沿って配線され、ゲートライン13-1～13-4が各行ごとにその画素配列方向に沿って配線されている。

画素11の各々において、薄膜トランジスタTFTのソース電極（または、ドレイン電極）は、対応する信号ライン12-1～12-4に各々接続されている。薄膜トランジスタTFTのゲート電極は、ゲートライン13-1～13-4に各々接続されている。液晶セルLCの対向電極および保持容量Csの他方の電極は、各画素間で共通にCsライン14に



接続されている。このCsライン14には、所定の直流電圧がコモン電圧Vcomとして与えられる。

以上により、画素11が行列状に配置され、これら画素11に対して信号ライン12-1~12-4が各列ごとに配線されかつゲートライン13-1~13-4が各行ごとに配線されてなる画素アレイ部15が構成されている。この画素アレイ部15において、ゲートライン13-1~13-4の各一端は、画素アレイ部15の例えば左側に配置された垂直駆動回路16の各段の出力端子に接続されている。

垂直駆動回路16は、1フィールド期間ごとに垂直方向（行方向）に走査してゲートライン13-1~13-4に接続された各画素11を行単位で順次選択する処理を行う。すなわち、垂直駆動回路16からゲートライン13-1に対して走査パルスVg1が与えられたときには1行目の各列の画素が選択され、ゲートライン13-2に対して走査パルスVg2が与えられたときには2行目の各列の画素が選択される。以下同様にして、ゲートライン13-3、13-4に対して走査パルスVg3、Vg4が順に与えられる。

画素アレイ部15の例えば上側には、水平駆動回路17が配置されている。また、垂直駆動回路16や水平駆動回路17に対して各種のクロック信号を与える外部のクロック生成回路（タイミングジェネレータ）18が設けられている。このクロック生成回路18では、垂直走査の開始を指令する垂直スタートパルスVST、垂直走査の基準となる互いに逆相の垂直クロックVCK、VCKX、水平走査の開始を指令する水平スタートパルスHST、水平走査の基準となる互いに逆相の水平クロックHCK、HCKXが生成される。更にクロックドライブ用のパルス2HCK1、2HCK2、2HCK3、2HCK4も生成される。これらの2HCKパルスはHCKパルスに対して周期が二倍となっている。2

HCK 1, 2HCK 2, 2HCK 3, 2HCK 4は互いに位相が90度ずつずれている。

水平駆動回路17は、二本に分かれた映像ライン25, 26を介して入力される映像信号Video 1, Video 2を1H (Hは水平走査期間) ごとに順次サンプリングし、垂直駆動回路16によって行単位で選択される各画素11に対して書き込む処理を行うためのものであり、本例ではクロックドライブ方式を採用し、シフトレジスタ21、クロック抜き取りスイッチ群22およびサンプリングスイッチ群23を有する構成となっている。

- 10 シフトレジスタ21は、画素アレイ部15の画素列(本例では、4列)に対応した4段のシフト段(S/R段)21-1~21-4からなり、水平スタートパルスHSTが与えられると、互いに逆相の水平クロックHCK, HCKXに同期してシフト動作を行う。これにより、シフトレジスタ21の各シフト段21-1~21-4からは、水平クロックHCK, HCKXの周期と同じパルス幅を持つシフトパルスA~Dが順次出力される。

- 20 クロック抜き取りスイッチ群22は、画素アレイ部15の画素列に対応した4個のスイッチ22-1~22-4からなり、これらスイッチ22-1~22-4の各一端が、クロック生成回路18からクロック2HCK 1~2HCK 4を伝送するクロックライン24-1~24-4に接続されている。すなわち、スイッチ22-1の一端がクロックライン24-4に、スイッチ22-2の一端がクロックライン24-3に、スイッチ22-3の一端がクロックライン24-2に、スイッチ22-4の一端がクロックライン24-1にそれぞれ接続されている。

- 25 クロック抜き取りスイッチ群22の各スイッチ22-1~22-4には、シフトレジスタ21の各シフト段21-1~21-4から順次出力さ

れるシフトパルスA～Dが与えられる。クロック抜き取りスイッチ群22の各スイッチ22-1～22-4は、シフトレジスタ21の各シフト段21-1～21-4からシフトパルスA～Dが与えられると、これらシフトパルスA～Dにตอบสนองして順にオン状態となることにより、互いに位相が90°ずれた2HCK1～2HCK4を順に抜き取る。

5        サンプリングスイッチ群23は、画素アレイ部15の画素列に対応した4個のスイッチ23-1～23-4からなり、これらのスイッチ23-1～23-4の各一端が映像信号Video1, Video2を入力する映像ライン25, 26に交互に接続されている。このサンプリングスイッチ群23の各スイッチ23-1～23-4には、クロック抜き取りスイッチ群22の各スイッチ22-1～22-4によって抜き取られたクロック2HCK1～2HCK4がサンプリングパルスA'～D'として与えられる。

15        サンプリングスイッチ群23の各スイッチ23-1～23-4は、クロック抜き取りスイッチ群22の各スイッチ22-1～22-4からサンプリングパルスA'～D'が与えられると、これらサンプリングパルスA'～D'にตอบสนองして順にオン状態となることにより、映像ライン25, 26を通して入力される映像信号Video1, Video2を順次サンプリングし、画素アレイ部15の信号ライン12-1～12-4に供給する。

20        上記構成の水平駆動回路17では、シフトレジスタ21から順次出力されるシフトパルスA～Dをそのままサンプリングパルスとして用いるのではなく、シフトパルスA～Dに同期して、クロックドライブ用のパルス2HCK1, 2HCK2, 2HCK3, 2HCK4を順番に抜き取り、サンプリングパルスA'～D'として用いる。これにより、サンプ  
25        リングパルスA'～D'のばらつきを抑えることができる。その結果、

サンプリングパルス A' ~ D' のばらつきに起因するゴーストを除去できる。

- 以上説明したように、本発明によれば、HCKパルスに対して周期及びパルス幅が二倍の2HCKパルスをクロックドライブすることで、分割サンプルホールド駆動に対応した完全ノンオーバーラップサンプリングを実現し、縦筋の発生を抑えるとともにゴーストに対するマージンを上げることができる。特に、パネル外部で2HCKパルスを作成し、HCKパルスに対する位相を可変させることで、サンプリングパルス幅を自由に最適設定することが可能になる。

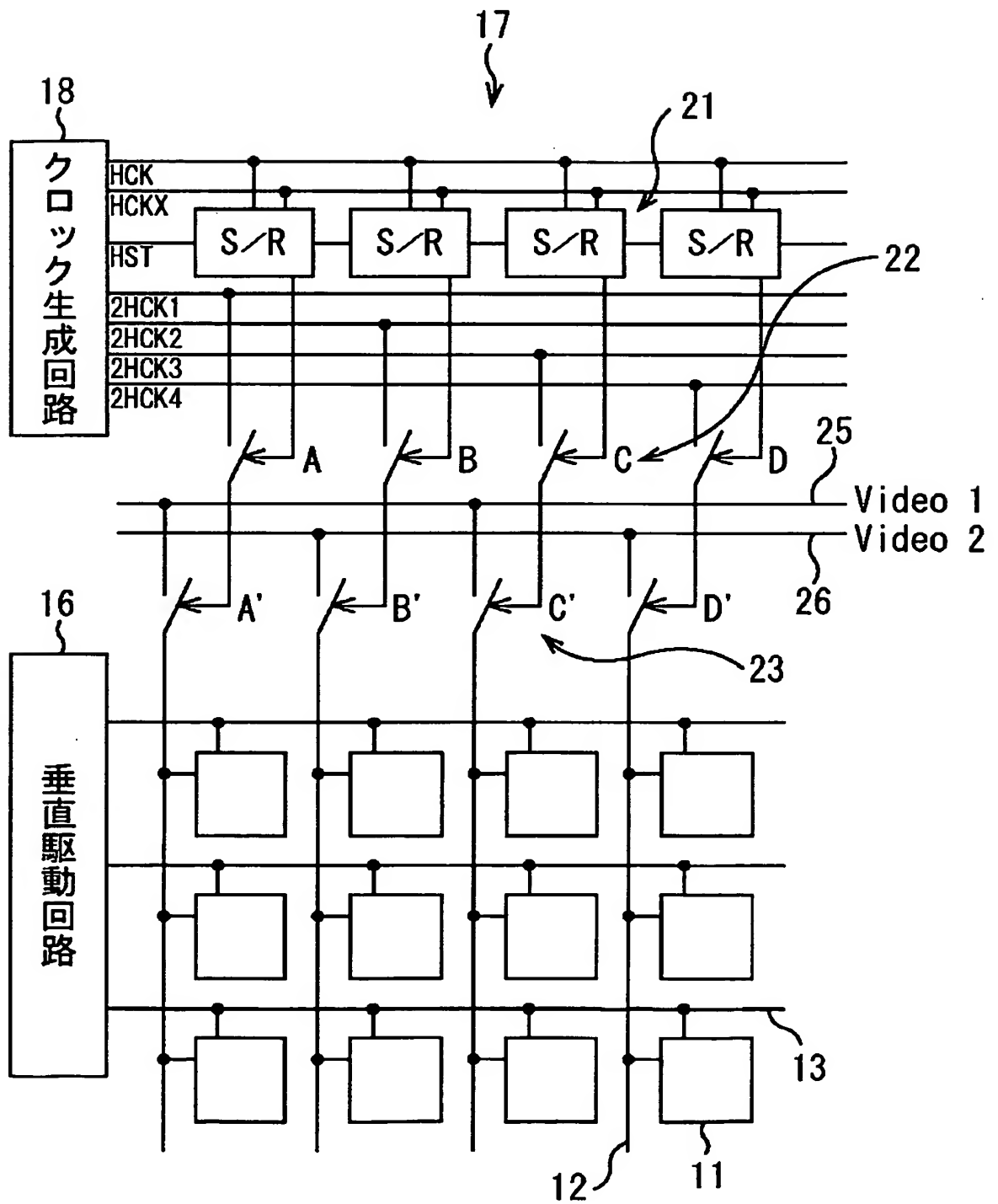
## 請求の範囲

1. 行状のゲートライン、列状の信号ライン、両ラインが交差する部分に行列状に配された画素及び所定の位相関係で $n$ 系統（ $n$ は2以上の整数）に分けた映像信号を供給する $n$ 本の映像ラインを有するパネルと、
- 5 各ゲートラインに接続し順次画素の行を選択する垂直駆動回路と、  
各信号ラインに対応して配されており、 $n$ 本の信号ラインを単位として該 $n$ 本の映像ラインの各々との間に接続されたサンプリングスイッチ群と、
- 10 所定の周期のクロック信号に基づいて動作し、前記サンプリングスイッチ群の各スイッチのうち、同一の映像ラインに接続されたスイッチに対してはオーバーラップさせず、隣接するスイッチに対してはオーバーラップさせたサンプリングパルスを順次発生して各スイッチを順に駆動し、もって選択された行の画素に順次映像信号を書き込む水平駆動回路と、
- 15 と、  
該水平駆動回路の動作基準となる第1のクロック信号を生成するとともに、この第1のクロック信号に対して周期が二倍でかつパルス幅が二倍の第2のクロック信号を生成するクロック生成回路とからなり、  
前記水平駆動回路は、前記第1のクロック信号に同期してシフト動作
- 20 を行い各シフト段からシフトパルスを順次出力するシフトレジスタと、  
前記シフトレジスタから順次出力される前記シフトパルスに応答して前記第2のクロック信号を抜き取って該サンプリングパルスを順次生成する抜取スイッチ群とを有することを特徴とする表示装置。
2. 前記クロック生成回路は、該第1のクロック信号に対して該第2
- 25 のクロック信号の位相を可変調整できることを特徴とする請求の範囲第1項記載の表示装置。

3. 前記クロック生成回路は、該第 1 のクロック信号に対して該第 2 のクロック信号の位相を可変調整し、もって該サンプリングパルスの幅を最適化することを特徴とする請求の範囲第 2 項記載の表示装置。

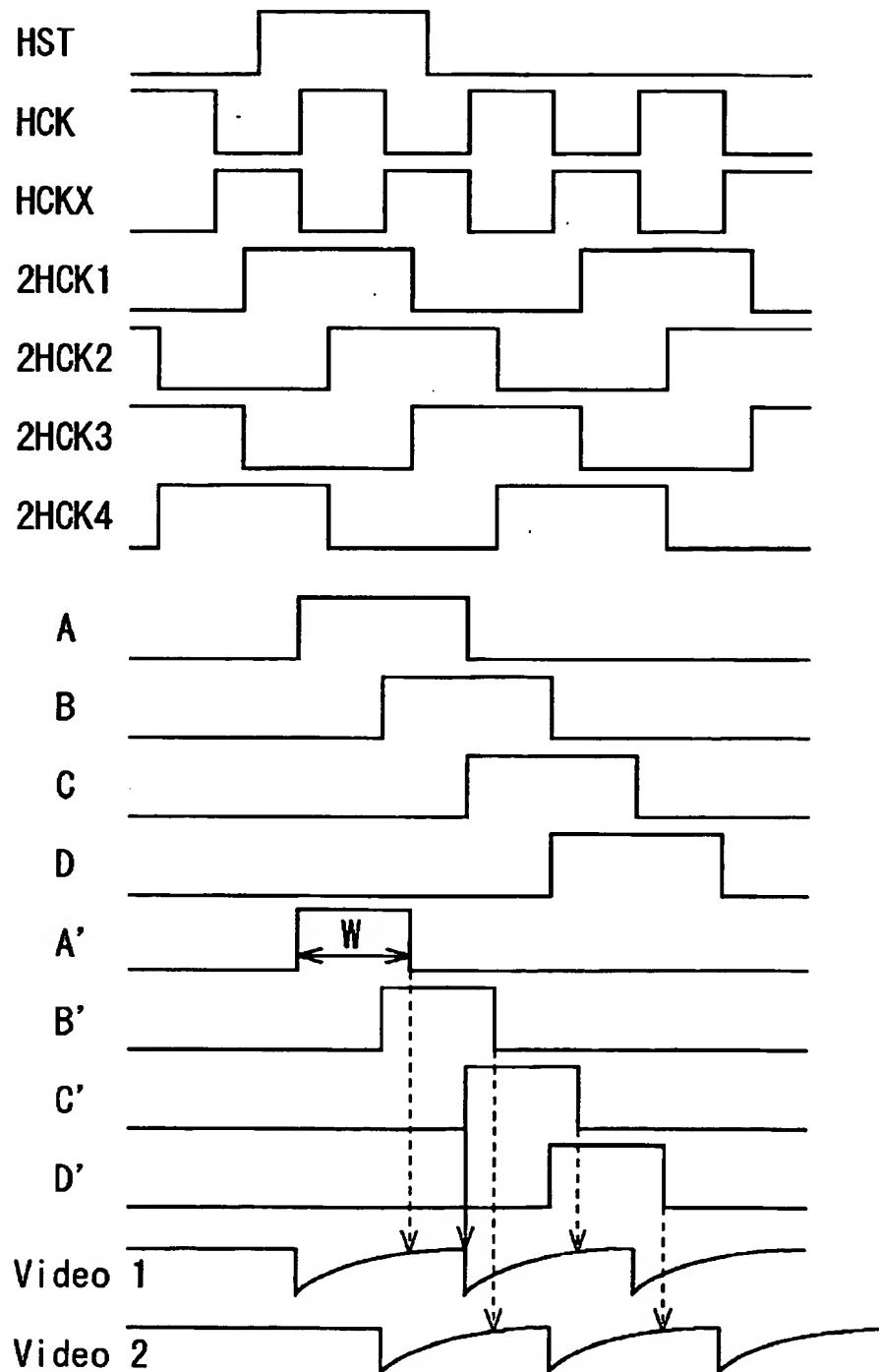
1/9

Fig.1



2/9

Fig.2





3/9

Fig.3

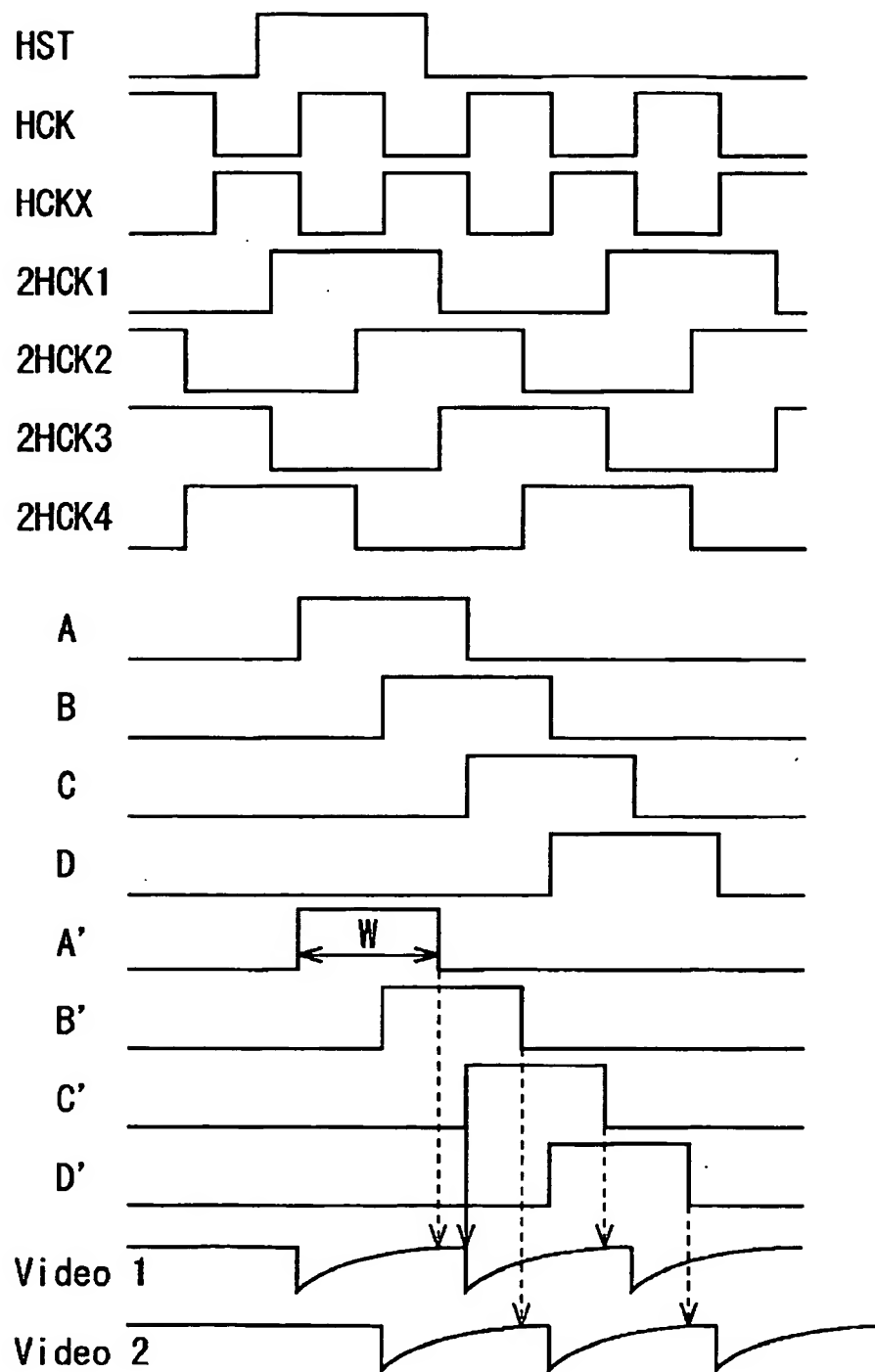
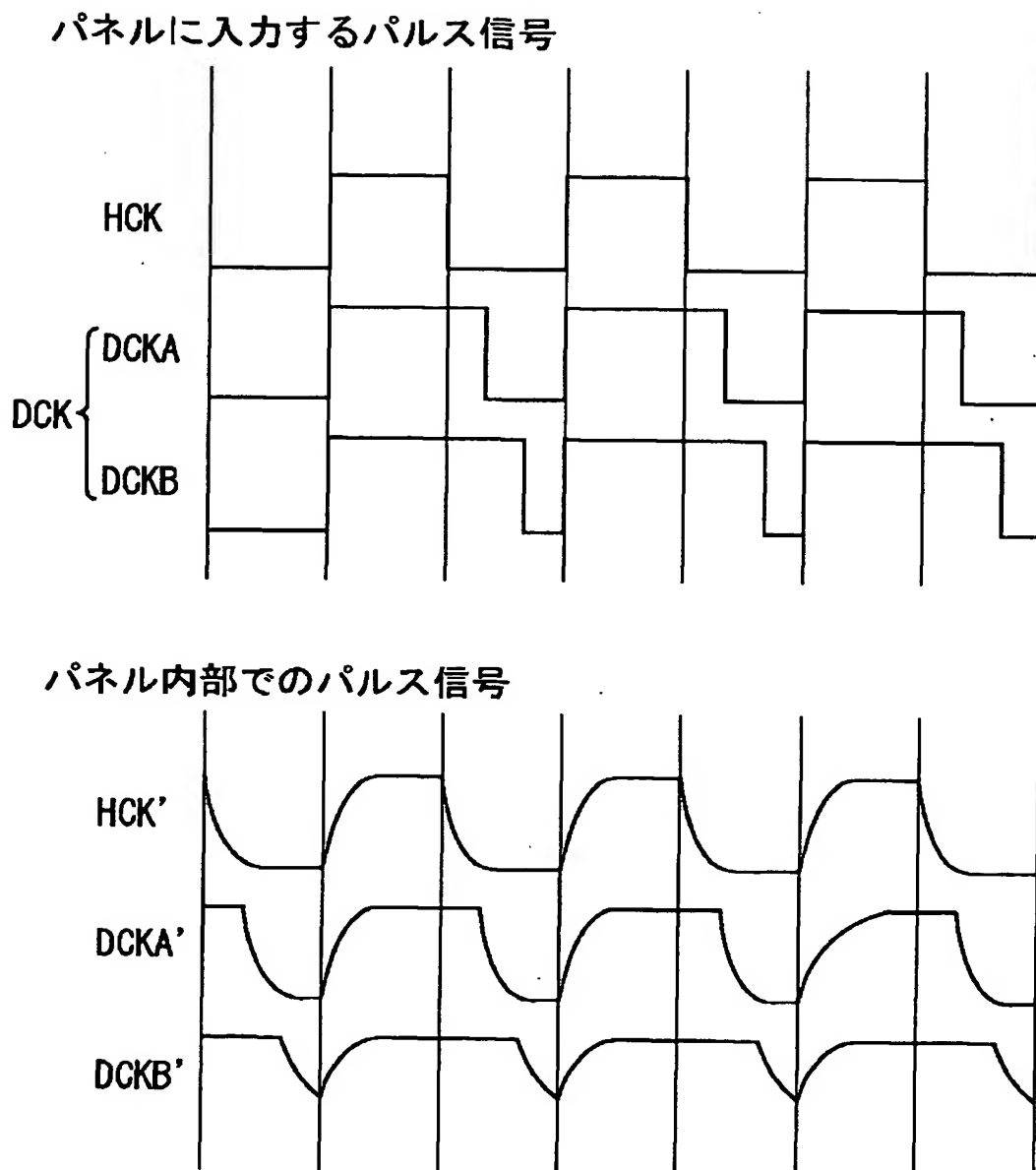
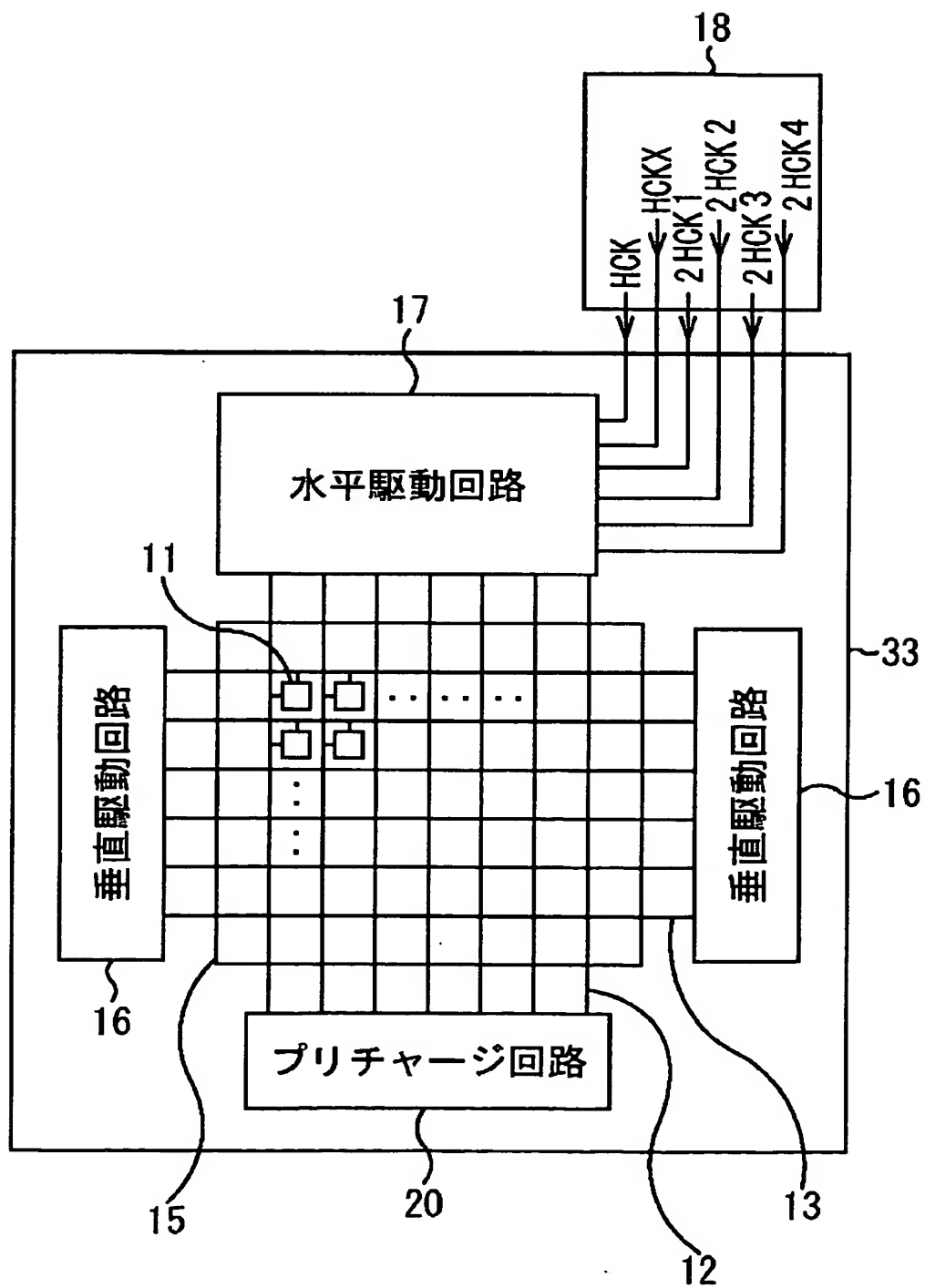


Fig.4



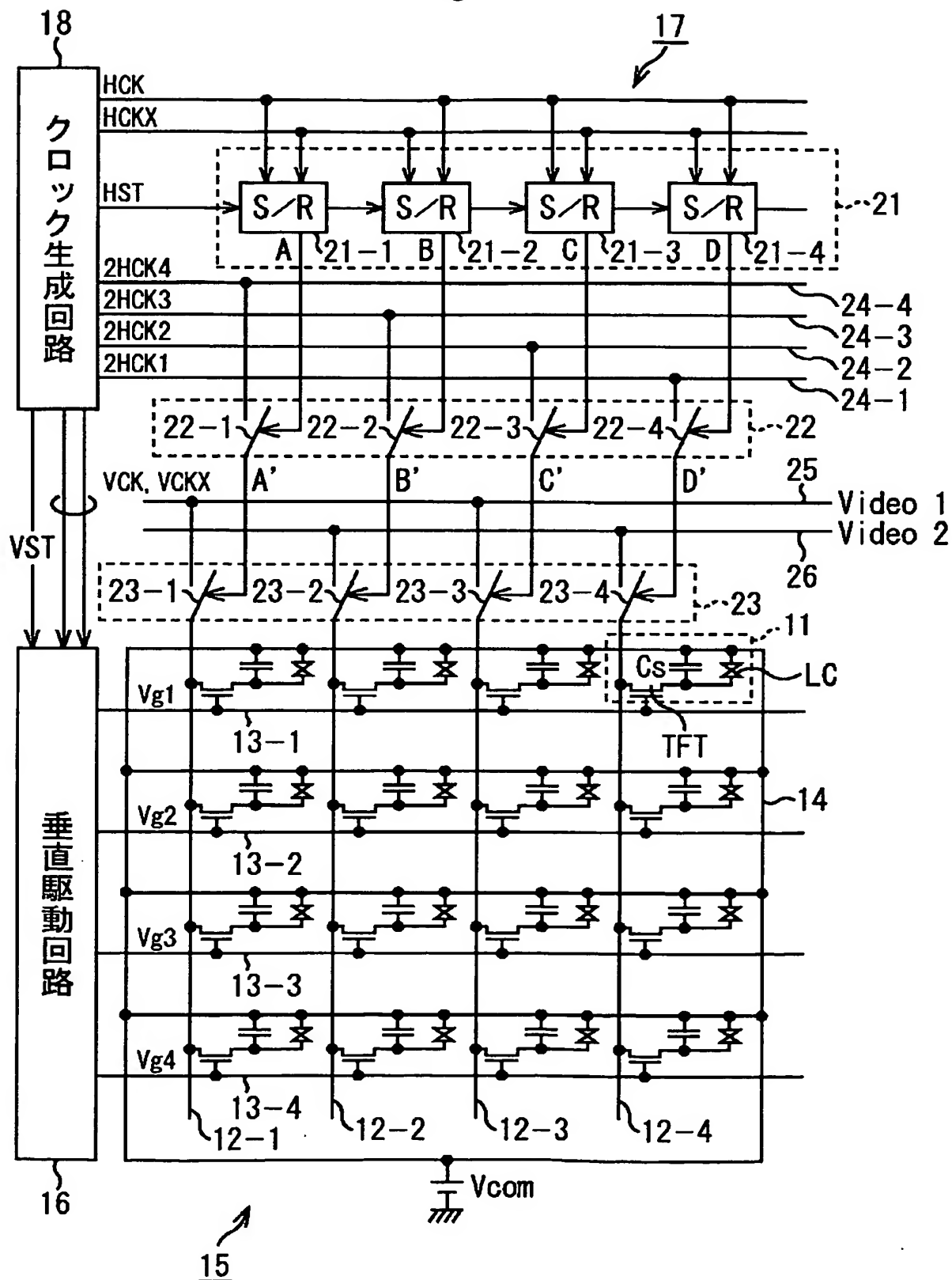
5/9

Fig.5



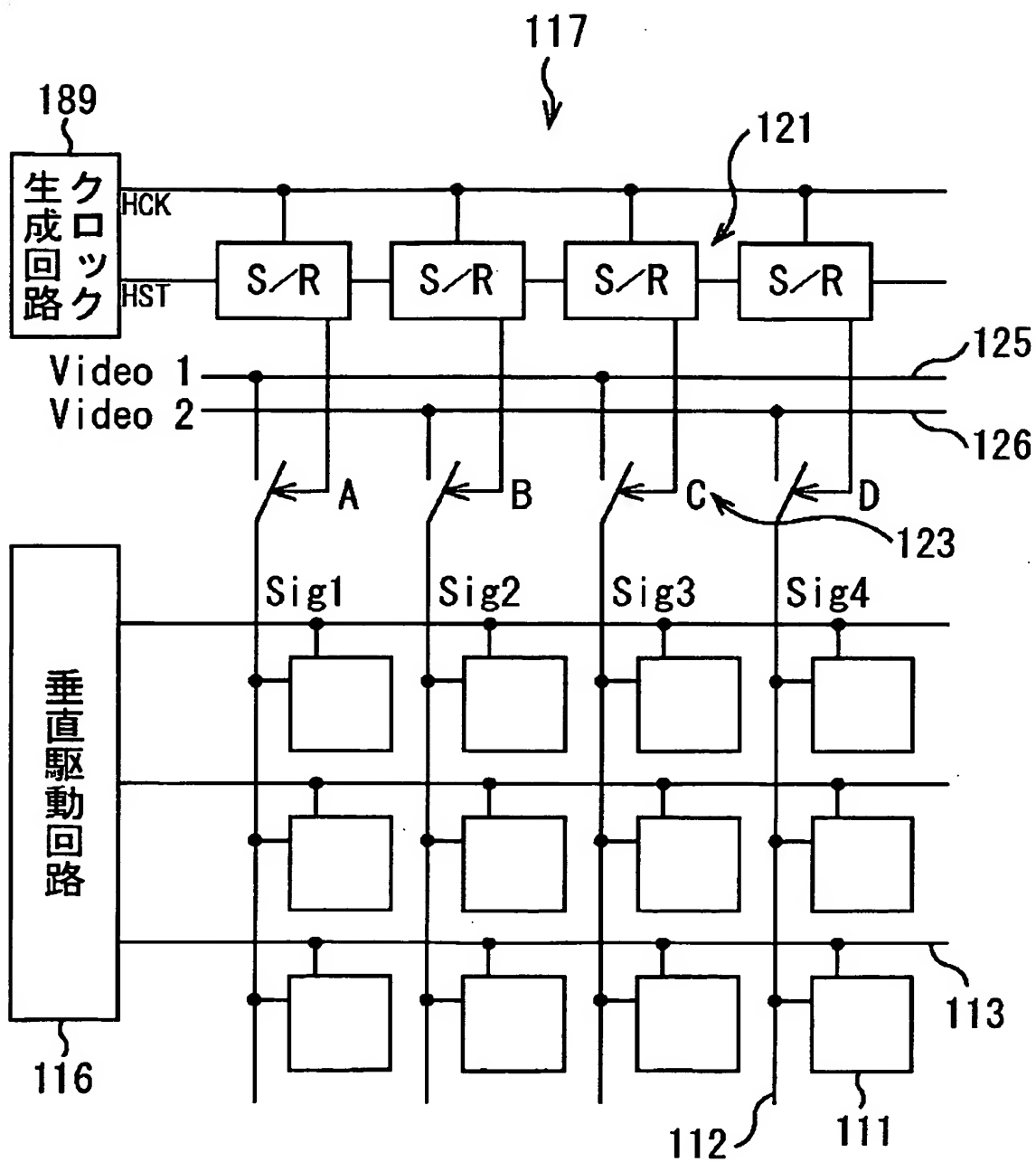
6/9

Fig.6



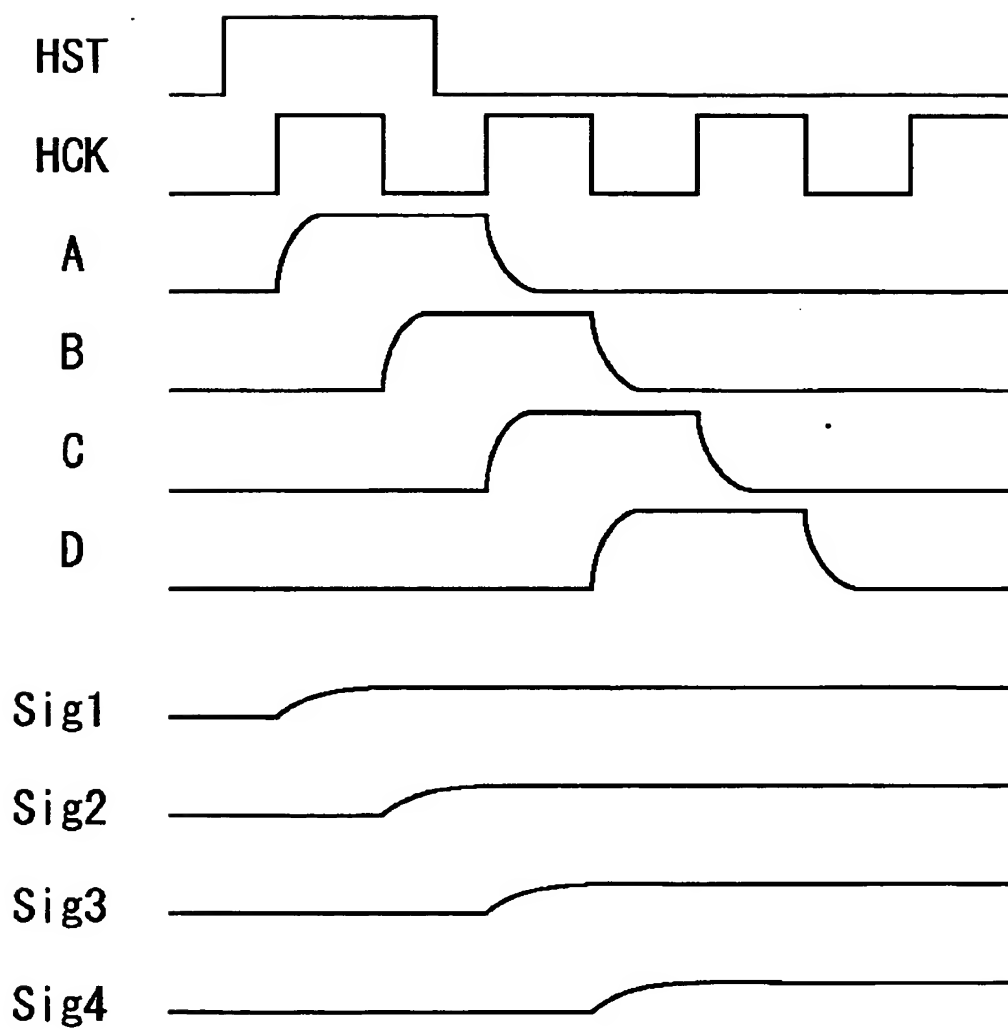
7/9

Fig.7



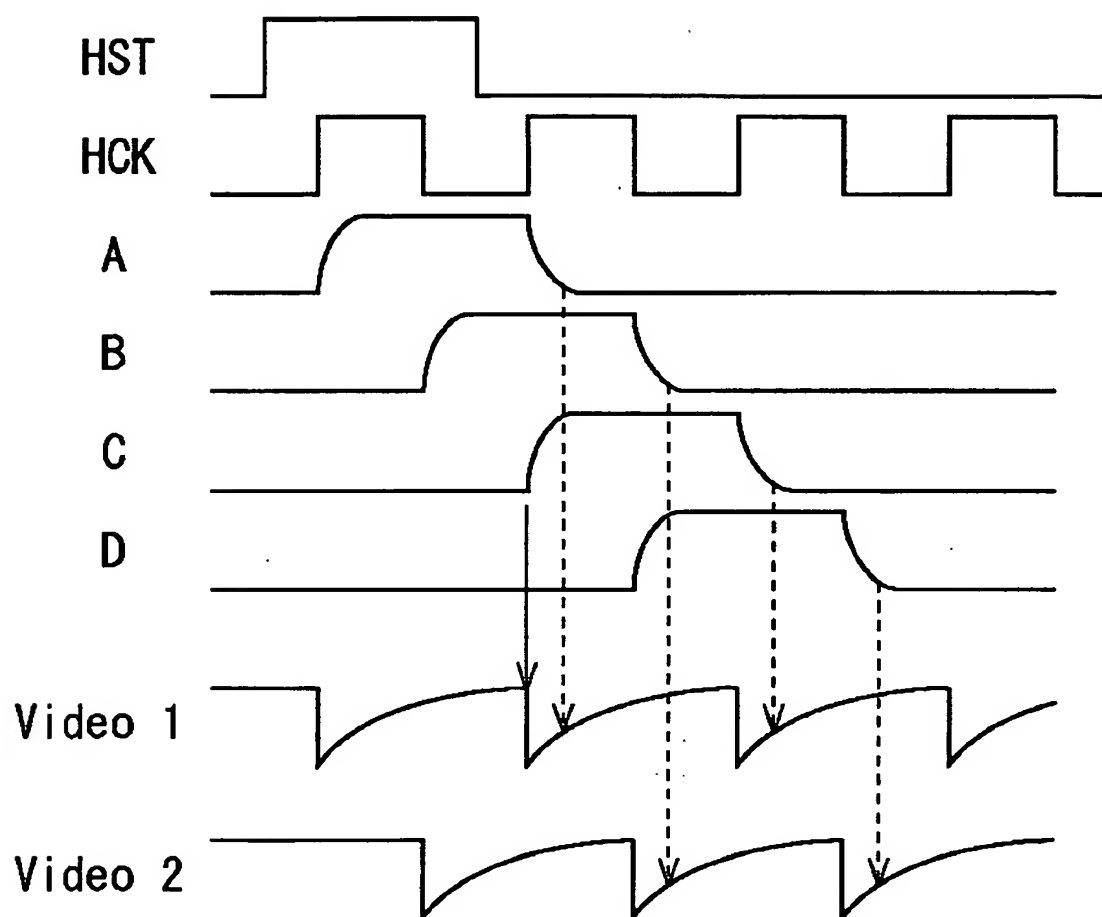
8/9

Fig.8



9/9

Fig.9



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/10554

**A. CLASSIFICATION OF SUBJECT MATTER**  
Int.Cl<sup>7</sup> G09G3/36, G09G3/20, G02F1/133

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
Int.Cl<sup>7</sup> G09G3/36, G09G3/20, G02F1/133

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926-1996	Toroku Jitsuyo Shinan Koho	1994-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Jitsuyo Shinan Toroku Koho	1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 11-65536 A (Seiko Epson Corp.), 09 March, 1999 (09.03.99), Par. Nos. [0069] to [0162]; Figs. 1 to 7 (Family: none)	1-3
A	JP 2000-267616 A (Sony Corp.), 29 September, 2000 (29.09.00), Full text; all drawings (Family: none)	1
P,A	WO 01/97205 A1 (SONY CORP.), 20 December, 2001 (20.12.01), Full text; all drawings & JP 2002-72987 A Full text; all drawings & KR 2005421 A & NO 20020730 A	1

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search  
14 January, 2003 (14.01.03)

Date of mailing of the international search report  
28 January, 2003 (28.01.03)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephonic No.



## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> G09G3/36, G09G3/20, G02F1/133

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> G09G3/36, G09G3/20, G02F1/133

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年

日本国公開実用新案公報 1971-2003年

日本国登録実用新案公報 1994-2003年

日本国実用新案登録公報 1996-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 11-65536 A (セイコーエプソン株式会社) 1999.03.09, 段落番号【0069】-【0162】, 第1-7図 (ファミリーなし)	1-3
A	JP 2000-267616 A (ソニー株式会社) 2000.09.29, 全文, 全図 (ファミリーなし)	1

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」 同一パテントファミリー文献

国際調査を完了した日

14.01.03

国際調査報告の発送日

28.01.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

鈴野 幹夫

2G

2905

電話番号 03-3581-1101 内線 3225

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
P, A	WO 01/97205 A1 (SONY CORPORATIO N) 2001. 12. 20, 全文, 全図 & JP 2002-7 2987 A 全文, 全図 & KR 2005421 A & NO 20020730 A	1